

Family list

8 application(s) for: JP2001250953 (A)

- 1 **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**
Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; G02F1/1368; G09F9/30; (+15)
Publication info: JP2001250953 (A) — 2001-09-14
JP4118484 (B2) — 2008-07-16
- 2 **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**
Inventor: KOYAMA JUN ; NAKAJIMA SETSUO (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB KK
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; G02F1/1368; G09F9/30; (+12)
Publication info: KR20010087348 (A) — 2001-09-15
- 3 **METHOD OF FABRICATING SEMICONDUCTOR DEVICE**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; H01L29/786; G02F1/1368; (+11)
Publication info: KR20060034658 (A) — 2006-04-24
- 4 **DISPLAY DEVICE**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; H01L29/786; G02F1/1368; (+11)
Publication info: KR20070103326 (A) — 2007-10-23
- 5 **Semiconductor device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; G02F1/1368; G09F9/30; (+12)
Publication info: TW483036 (B) — 2002-04-11
- 6 **Semiconductor device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12 **IPC:** H01L21/77; H01L21/84; H01L27/12; (+4)
Publication info: US2003138998 (A1) — 2003-07-24
US6762082 (B2) — 2004-07-13
- 7 **Semiconductor device and method of fabricating the same**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12 **IPC:** G02F1/136; G02F1/1368; G09F9/30; (+12)
Publication info: US6806495 (B1) — 2004-10-19
- 8 **Semiconductor device and method for fabricating the same**
Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+1) **Applicant:** SEMICONDUCTOR ENERGY [JP]
EC: H01L21/77T; H01L27/12 **IPC:** H01L21/77; H01L21/84; H01L27/12; (+3)
Publication info: US2005023528 (A1) — 2005-02-03

Data supplied from the esp@cenet database — Worldwide

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**Publication number:** JP2001250953 (A)**Publication date:** 2001-09-14**Inventor(s):** YAMAZAKI SHUNPEI; KOYAMA JUN; NAKAJIMA SETSUO**Applicant(s):** SEMICONDUCTOR ENERGY LAB**Classification:**

- international: G02F1/136; G02F1/1368; G09F9/30; H01L21/336; H01L21/77;
H01L21/84; H01L27/12; H01L29/786; G02F1/13; G09F9/30;
H01L21/02; H01L21/70; H01L27/12; H01L29/66; (IPC1-7): H01L29/786;
G02F1/1368; G09F9/30; H01L21/336

- European: H01L21/77T; H01L27/12

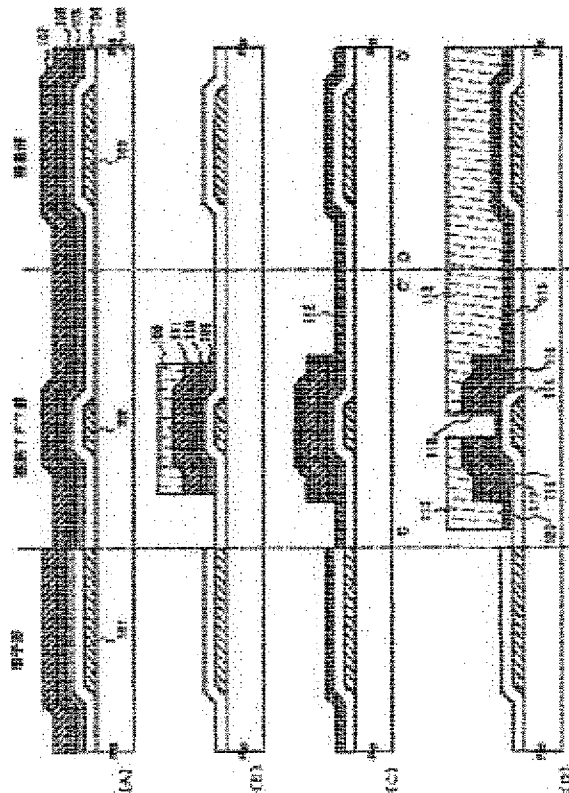
Application number: JP20000061297 20000306**Priority number(s):** JP20000061297 20000306**Also published as:**

JP4118484 (B2)
US6806495 (B1)
TW483036 (B)
KR20070103326 (A)
KR20060034658 (A)

more >>

Abstract of JP 2001250953 (A)

PROBLEM TO BE SOLVED: To solve a problem in a conventional liquid crystal display device that at least five or more photomasks are used to form a TFT, resulting in a high cost. **SOLUTION:** A pixel electrode 119, a source region 117 and a drain region 116 are formed by using a third photomask. Consequently, in a third photolithography process, a liquid crystal display device having a pixel TFT section including a reverse stagger type n-channel type TFT and a storage capacitor can be achieved.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250953

(P2001-250953A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) IntCl. ⁷	識別記号	F I	テ-マコード* (参考)
H 0 1 L 29/786		G 0 9 F 9/30	3 3 8 2 H 0 9 2
	21/336	H 0 1 L 29/78	6 1 2 D 5 C 0 9 4
G 0 2 F 1/1368		G 0 2 F 1/136	5 0 0 5 F 1 1 0
G 0 9 F 9/30	3 3 8	H 0 1 L 29/78	6 2 7 C

審査請求 未請求 請求項の数26 O L (全 16 頁)

(21) 出願番号 特願2000-61297(P2000-61297)

(22) 出願日 平成12年3月6日(2000.3.6)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

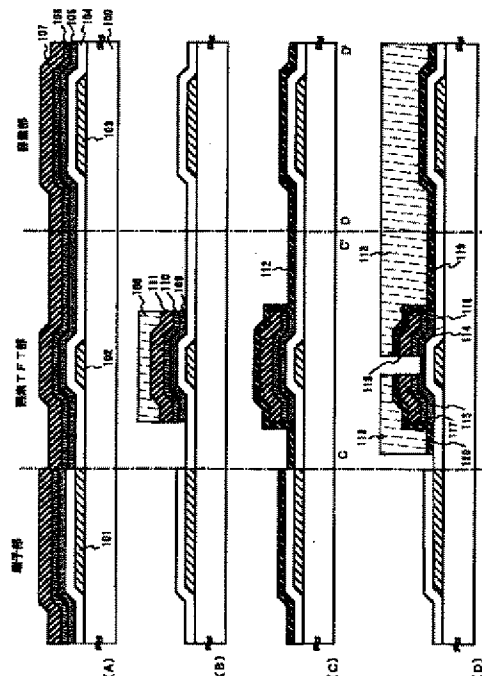
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 従来の液晶表示装置は、最低でも5枚以上のフォトマスクを使用してTFTを作製していたため製造コストが大きかった。

【解決手段】 3枚目のフォトマスクにより画素電極119、ソース領域117及びドレイン領域116の形成を行うことにより、3回のフォトリソグラフィ工程で、逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えた液晶表示装置を実現することができる。



【特許請求の範囲】

【請求項1】ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線と、前記ゲート配線上に形成された絶縁膜と、前記絶縁膜上に形成された非晶質半導体膜と、前記非晶質半導体膜上に形成されたソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上に形成されたソース配線または電極と、前記電極上に形成された画素電極とを有し、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致することを特徴とする半導体装置。

【請求項2】ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線と、前記ゲート配線上に形成された絶縁膜と、前記絶縁膜上に形成された非晶質半導体膜と、前記非晶質半導体膜上に形成されたソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上に形成されたソース配線または電極と、前記電極上に形成された画素電極とを有し、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致し、もう一つの端面は、前記画素電極の端面及び前記電極のもう一つの端面と概略一致することを特徴とする半導体装置。

【請求項3】ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線と、前記ゲート配線上に形成された絶縁膜と、前記絶縁膜上に形成された非晶質半導体膜と、前記非晶質半導体膜上に形成されたソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上に形成されたソース配線または電極と、前記電極上に形成された画素電極とを有し、前記ソース配線の下方には、前記非晶質半導体膜と、n型を付与する不純物元素を含む非晶質半導体膜とが積層されていることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、プラズマCVD法により形成されたことを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記ゲート配線は、Al、Ti、Mo、W、Ta、NdまたはCrから選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記非晶質半導体膜及び前記電極と同一のマスクにより形成されたことを特徴とする半導体装置。

【請求項10】請求項1乃至9のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴とする半導体装置。

【請求項11】請求項1乃至10のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴とする半導体装置。

【請求項12】請求項1乃至11のいずれかにおいて、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴とする半導体装置。

【請求項13】請求項1乃至12のいずれかにおいて、前記半導体装置は、前記画素電極が透明導電膜からなる透過型の液晶表示装置であることを特徴とする半導体装置。

【請求項14】請求項1乃至13のいずれかにおいて、前記半導体装置は、前記画素電極がAlまたはAgを主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項15】請求項1乃至14のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項16】第1のマスクを用いてゲート配線を形成する第1工程と、前記ゲート配線を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に第1の非晶質半導体膜を形成する第3工程と、前記第1の非晶質半導体膜上にn型を付与する不純物元

素を含む第2の非晶質半導体膜を形成する第4工程と、前記第2の非晶質半導体膜上に第1の導電膜を形成する第5工程と、

第2のマスクを用いて前記第1の非晶質半導体膜、第2の非晶質半導体膜、及び前記第1の導電膜を選択的に除去してソース配線及び電極を形成する第6工程と、前記ソース配線及び電極と接して重なる第2の導電膜を形成する第7工程と、

第3のマスクを用いて前記第1の非晶質半導体膜の一部、第2の非晶質半導体膜、前記第1の導電膜、及び前記第2の導電膜を選択的に除去して、前記第2の非晶質半導体膜からなるソース領域及びドレイン領域と、前記第2の導電膜からなる画素電極とを形成する第8工程と、を有することを特徴とする半導体装置の作製方法。

【請求項17】請求項16において、前記第2工程から前記第5工程まで、大気に曝されることなく連続的に形成することを特徴とする半導体装置の作製方法。

【請求項18】請求項16または請求項17において、前記絶縁膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項19】請求項16乃至18のいずれかにおいて、前記第1の非晶質半導体膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項20】請求項16乃至19のいずれかにおいて、前記第2の非晶質半導体膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項21】請求項16乃至19のいずれかにおいて、前記第2工程から前記第5工程まで、同一チャンバー内で連続的に形成することを特徴とする半導体装置の作製方法。

【請求項22】請求項16において、前記絶縁膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項23】請求項16または請求項22において、前記第1の非晶質半導体膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項24】請求項16、請求項22、または請求項23において、前記第2の非晶質半導体膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項25】請求項16乃至24のいずれかにおいて、前記第2の導電膜は、透明導電膜であることを特徴とする半導体装置の作製方法。

【請求項26】請求項16乃至24のいずれかにおいて、前記第2の導電膜は、反射性を有する導電膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導

体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0005】このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0006】従来では、300℃以下の低温で大面積の基板上に形成可能であることから非晶質半導体膜として非晶質シリコン膜が好適に用いられている。また、非晶質半導体膜で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTが多く用いられている。

【0007】

【発明が解決しようとする課題】従来、アクティブマトリクス型の液晶表示装置は、写真蝕刻（フォトリソグラフィ）技術により、最低でも5枚以上のフォトマスクを使用してTFTを基板上に作製していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

【0008】具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。

【0009】このフォトマスクを1枚使用することによ

って、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

【0010】また、基板が絶縁体であるために製造工程における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってTFTが劣化または破壊されて液晶表示装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング時に静電気が発生し問題となっていた。

【0011】本発明はこのような問題に答えるものであり、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

【0012】また、静電気によるTFTの破壊やTFTの特性劣化という問題点を解決しうる構造およびその作製方法を提供することを課題としている。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明では、まず、フォトマスク1枚目でゲート配線を形成する。

【0014】次いで、ゲート絶縁膜、ノンドープの非晶質シリコン膜（以下、a-Si膜と呼ぶ）、n型を付与する不純物元素を含む非晶質シリコン膜（以下、n⁺a-Si膜と呼ぶ）、及び導電膜を連続的に成膜する。

【0015】次いで、フォトマスク2枚目でa-Si膜からなる活性層、ソース配線（ソース電極含む）及びドレイン電極をパターンニング形成する。

【0016】その後、透明導電膜を成膜した後に、フォトマスク3枚目で透明導電膜からなる画素電極の形成を行い、さらにn⁺a-Si膜からなるソース領域及びドレイン領域を形成すると同時にa-Si膜の一部を除去する。

【0017】このような構成とすることで、フォトリソグラフィー技術で使用するフォトマスクの数を3枚とすることができる。

【0018】また、ソース配線は画素電極と同じ材料である透明導電膜で覆い、基板全体を外部の静電気等から保護する構造とする。また、透明導電膜で保護回路を形成する構造としてもよい。このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からTFT等を保護することができる。

【0019】本明細書で開示する発明の構成は、ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線102

と、前記ゲート配線上に形成された絶縁膜104と、前記絶縁膜上に形成された非晶質半導体膜114と、前記非晶質半導体膜上に形成されたソース領域115及びドレイン領域116と、前記ソース領域または前記ドレイン領域上に形成されたソース配線117または電極118と、前記電極上に形成された画素電極119とを有し、前記ドレイン領域116または前記ソース領域115の一つの端面は、前記非晶質半導体膜114の端面及び前記電極118の端面と概略一致することを特徴とする半導体装置である。

【0020】また、他の発明の構成は、ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線102と、前記ゲート配線上に形成された絶縁膜104と、前記絶縁膜上に形成された非晶質半導体膜114と、前記非晶質半導体膜上に形成されたソース領域115及びドレイン領域116と、前記ソース領域または前記ドレイン領域上に形成されたソース配線117または電極118と、前記電極上に形成された画素電極119とを有し、前記ドレイン領域115または前記ソース116領域の一つの端面は、前記非晶質半導体膜の端面114及び前記電極118の端面と概略一致し、もう一つの端面は、前記画素電極119の端面及び前記電極118のもう一つの端面と概略一致することを特徴とする半導体装置である。

【0021】また、他の発明の構成は、ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線102と、前記ゲート配線上に形成された絶縁膜104と、前記絶縁膜上に形成された非晶質半導体膜114と、前記非晶質半導体膜上に形成されたソース領域115及びドレイン領域116と、前記ソース領域または前記ドレイン領域上に形成されたソース配線117または電極118と、前記電極上に形成された画素電極119とを有し、前記ソース配線117の下方には、前記非晶質半導体膜と、n型を付与する不純物元素を含む非晶質半導体膜とが積層されていることを特徴とする半導体装置である。

【0022】また、上記各構成において、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴としている。

【0023】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴としている。

【0024】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴としている。

【0025】また、上記各構成において、図2(D)に示したように、前記ソース領域115及び前記ドレイン領域116は、前記非晶質半導体膜114及び前記電極

118と同一のマスクにより形成されたことを特徴としている。また、記ソース領域及び前記ドレイン領域は、前記ソース配線117と同一のマスクにより形成されたことを特徴としている。

【0026】また、上記各構成において、図2(D)に示したように、前記ソース領域115及び前記ドレイン領域116は、前記ソース配線117及び前記画素電極119と同一のマスクにより形成されたことを特徴としている。

【0027】また、上記各構成において、図2(D)のエッチング工程によって、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚い構成、即ちチャネルエッチ型のボトムゲート構造となっている。

【0028】また、上記構造を実現するための発明の構成は、第1のマスクを用いてゲート配線102を形成する第1工程と、前記ゲート配線を覆う絶縁膜104を形成する第2工程と、前記絶縁膜上に第1の非晶質半導体膜105を形成する第3工程と、前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の非晶質半導体膜106を形成する第4工程と、前記第2の非晶質半導体膜上に第1の導電膜107を形成する第5工程と、第2のマスクを用いて前記第1の非晶質半導体膜、第2の非晶質半導体膜、及び前記第1の導電膜を選択的に除去して配線111（ソース配線及び電極）を形成する第6工程と、前記配線111（ソース配線及び電極）と接して重なる第2の導電膜112を形成する第7工程と、第3のマスクを用いて前記第1の非晶質半導体膜109の一部、第2の非晶質半導体膜110、前記第1の導電膜111、及び前記第2の導電膜112を選択的に除去して、前記第2の非晶質半導体膜からなるソース領域115及びドレイン領域116と、前記第2の導電膜からなる画素電極119とを形成する第8工程と、を有することを特徴とする半導体装置の作製方法である。

【0029】また、上記構成において、前記第2工程から前記第5工程まで、大気に曝されることなく連続的に形成することを特徴としている。

【0030】また、上記各構成において、前記第2工程から前記第5工程まで、同一チャンバー内で連続的に形成することを特徴としている。

【0031】また、上記各構成において、前記絶縁膜は、スパッタ法あるいはプラズマCVD法により形成してもよい。

【0032】また、上記各構成において、前記第1の非晶質半導体膜は、スパッタ法あるいはプラズマCVD法により形成してもよい。

【0033】また、上記各構成において、前記第2の非晶質半導体膜は、スパッタ法あるいはプラズマCVD法

により形成してもよい。

【0034】また、上記各構成において、前記第2の導電膜は、透明導電膜、あるいは反射性を有する導電膜であることを特徴としている。

【0035】

【発明の実施の形態】本願発明の実施形態について、以下に説明を行う。

【0036】図1は本発明のアクティブマトリクス基板の平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素のうちの1つの画素構成を示している。

【0037】図1に示すように、このアクティブマトリクス基板は、互いに平行に配置された複数のゲート配線と、各ゲート配線に直交するソース配線を複数有している。

【0038】また、ゲート配線とソース配線とで囲まれた領域には透明導電膜からなる画素電極119が配置されている。また、この画素電極119と重ならないように、透明導電膜120がソース配線を覆っている。

【0039】さらに、画素電極119の下方で隣り合う2本のゲート配線の間には、ゲート配線102と平行に容量配線103が配置されている。この容量配線103は全画素に設けられており、画素電極119との間に存在する絶縁膜を誘電体として保持容量を形成している。

【0040】また、ゲート配線102とソース配線117の交差点近傍にはスイッチング素子としてのTFTが設けられている。このTFTは非晶質構造を有する半導体膜（以下、非晶質半導体膜と呼ぶ）で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTである。

【0041】また、このTFTは、絶縁性基板上に順次、ゲート電極（ゲート配線102と一体形成された）と、ゲート絶縁膜と、a-Si膜と、n⁺a-Si膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線117と一体形成された）及び電極118（以下、ドレイン電極とも呼ぶ）とが積層形成されている。

【0042】また、ソース配線（ソース電極含む）及びドレイン電極118の下方には、絶縁性基板上に順次、ゲート絶縁膜と、a-Si膜と、n⁺a-Si膜とが積層形成されている。

【0043】また、a-Si膜のうち、ソース領域と接する領域とドレイン領域と接する領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、n⁺a-Si膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、a-Si膜の一部が除去されたためである。また、このエッチングによって画素電極の端面、ドレイン配線の端面、及びドレイン領域の端面が一致している。また、同様にソース電極を覆う透明導電膜の端面、ソース領域の端面、及びソース配線の端面が一致している。

【0044】以上の構成でなる本願発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0045】

【実施例】〔実施例1〕本発明の実施例を図1～図6を用いて説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための入力端子部の作製工程を同時に示す。

【0046】図2(A)において、透光性を有する基板100にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【0047】次いで、導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極を含むゲート配線102、容量配線103、及び端子101）を形成する。このとき少なくともゲート電極102の端部にテーパー部が形成されるようにエッチングする。この段階での上面図を図4に示した。

【0048】ゲート電極を含むゲート配線102と容量配線103、端子部の端子101は、アルミニウム(A1)などの低抵抗導電性材料で形成することが望ましいが、A1単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン(Ti)、タantal(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。また、Ti、Si、Cr、Nd等の耐熱性導電性材料と組み合わせて形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えばMoとWを組み合わせて形成しても良い。

【0049】液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成することが望ましい。この時の適した組み合わせを説明する。

【0050】画面サイズが5型程度までなら耐熱性導電性材料の窒化物から成る導電層(A)と耐熱性導電性材料から成る導電層(B)とを積層した二層構造とする。導電層(B)はAl、Ta、Ti、W、Nd、Crから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層

(A)は窒化タantal(TaN)膜、窒化タングステン(WN)膜、窒化チタン(TiN)膜などで形成する。例えば、導電層(A)としてCr、導電層(B)としてNdを含有するAlとを積層した二層構造とすることが好ましい。導電層(A)は10～100nm（好ましくは20～50nm）とし、導電層(B)は200～400nm（好ましくは250～350nm）とする。

【0051】一方、大画面に適用するには耐熱性導電性材料から成る導電層(A)と低抵抗導電性材料から成る導電層(B)と耐熱性導電性材料から成る導電層(C)とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層(B)は、アルミニウム(A1)を成分とする材料で形成し、純Alの他に、0.01～5atomic%のスキャンジウム(Sc)、Ti、Nd、シリコン(Si)等を含有するAlを使用する。導電層(C)は導電層(B)のAlにヒロックが発生するのを防ぐ効果がある。導電層(A)は10～100nm（好ましくは20～50nm）とし、導電層(B)は200～400nm（好ましくは250～350nm）とし、導電層(C)は10～100nm（好ましくは20～50nm）とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層(A)をTi膜で50nmの厚さに形成し、Alをターゲットとしたスパッタ法により導電層(B)をAl膜で200nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層(C)をTi膜で50nmの厚さに形成した。

【0052】次いで、絶縁膜104を全面に成膜する。絶縁膜104はスパッタ法を用い、膜厚を50～200nmとする。

【0053】例えば、絶縁膜104として酸化窒化シリコン膜を用い、150nmの厚さで形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タantal膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0054】次に、絶縁膜104上に50～200nm（好ましくは100～150nm）の厚さで非晶質半導体膜105を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する（図示せず）。代表的には、スパッタ法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0055】次に、一導電型の不純物元素を含有する半導体膜106として、n型を付与する不純物元素を含む非晶質半導体膜106を20～80nmの厚さで形成する。n型を付与する不純物元素を含む非晶質半導体膜1

06は、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する。代表的には、 $n^+a-Si:H$ 膜を形成すれば良く、そのためにリン(P)が添加されたターゲットを用いて成膜する。或いは、 n 型を付与する不純物元素を含む非晶質半導体膜106を水素化微結晶シリコン膜($\mu c-Si:H$)で形成しても良い。

【0056】次に、導電性の金属膜107をスパッタ法や真空蒸着法で形成する。導電性の金属膜107の材料としては、 n^+a-Si 膜106とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、金属膜107として、50~150nmの厚さで形成したTi膜と、そのTi膜上に重ねてアルミニウム(Al)を300~400nmの厚さで形成し、さらにその上にTi膜を100~150nmの厚さで形成する。(図2(A))

【0057】絶縁膜104、非晶質半導体膜105、一導電型の不純物元素を含有する半導体膜106、及び導電性の金属膜107はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。本実施例では、スパッタ法を用い、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【0058】次に、第2のフォトリソグラフィ工程を行い、レジストマスク108を形成し、エッチングにより不要な部分を除去して配線及び電極(ソース配線)を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。この時、非晶質半導体膜105、一導電型の不純物元素を含有する半導体膜106、及び導電性の金属膜107がエッチングされ、画素TFT部においては、非晶質半導体膜109、一導電型の不純物元素を含有する半導体膜110、及び導電性の金属膜111を形成する。また、容量部においては容量配線103と絶縁膜104を残し、同様に端子部においても、端子101と絶縁膜104を残す。本実施例では、 $SiCl_4$ と Cl_2 と BCl_3 の混合ガスを反応ガスとしたドライエッチングにより、Ti膜とAl膜とTi膜を順次積層した金属膜107をエッチングし、反応ガスを CF_4 と O_2 の混合ガスに代えて非晶質半導体膜105及び一導電型の不純物元素を含有する半導体膜106を除去した。(図2(B))

【0059】次に、レジストマスク108を除去した後、全面に透明導電膜112を成膜する。(図2(C))また、この時の上面図を図5に示す。ただし、簡略化のため図5では全面に成膜された透明導電膜11

2は図示していない。

【0060】この透明導電膜112の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、接触する電極111をAl膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($ZnO:Ga$)などを用いることができる。

【0061】次に、第3のフォトリソグラフィ工程を行い、レジストマスク113を形成し、エッチングにより不要な部分を除去して非晶質半導体膜114、ソース領域115及びドレイン領域116、ソース電極117及びドレイン電極118、画素電極119を形成する。(図2(D))

【0062】この第3のフォトリソグラフィ工程は、透明導電膜をパターニングすると同時に、導電性を有する金属膜111と n^+a-Si 膜110と非晶質半導体膜109の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITOからなる画素電極を硝酸と塩酸の混合溶液または塩化系第2鉄系の溶液を用いたウェットエッチングにより選択的に除去した後、ドライエッチングにより導電性を有する金属膜111と n^+a-Si 膜110と非晶質半導体膜109の一部をエッチングした。なお、本実施例では、ウェットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウェットエッチングのみで行ってもよい。

【0063】また、開孔の底部は非晶質半導体膜に達しており、凹部を有する非晶質半導体膜114が形成される。この開孔によって導電性を有する金属膜111はソース電極117とドレイン電極118に分離され、 n^+a-Si 膜110はソース領域115とドレイン領域116に分離される。また、ソース電極117と接する透明導電膜120は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線に透明導電膜120を形成した例を示したが、上記ITO膜のエッチングの際に透明導電膜120を除去してもよい。また、上記ITO膜のエッチングの際に上記ITO膜を利用して静電気から保護するための回路を形成してもよい。

【0064】また、この第3のフォトリソグラフィ工

程において、容量部における絶縁膜104を誘電体として、容量配線103と画素電極119とで保持容量が形成される。

【0065】また、この第3のフォトリソグラフィ工程において、端子部に形成された透明導電膜は除去される。

【0066】次に、レジストマスク113を除去した後、シャドーマスクを用いてレジストマスクを形成し、端子部の端子101を覆う絶縁膜を選択的に除去する。(図3(A)) また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してもよい。ここで、図1は1つの画素の上面図であり、A-A'線及びB-B'線に沿った断面図がそれぞれ図3(A)に相当する。

【0067】こうして3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT201を有する画素TFT部、保持容量202を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができ、本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0068】次に、アクティブマトリクス基板の画素部のみに配向膜121を選択的に形成する。配向膜121を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。なお、本実施例では、端子部の端子101を覆う絶縁膜を選択的に除去した後、配向膜を形成した例を示したが、端子部の端子101を覆う絶縁膜上に配向膜を積層形成した後、端子部における絶縁膜と配向膜とを同時に除去してもよい。

【0069】次に、配向膜121にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【0070】次いで、アクティブマトリクス基板と、対向電極122と配向膜123とが設けられた対向基板124とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料125を注入する。液晶材料125は公知のものを適用すれば良く代表的にはTN液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する。

【0071】次に、端子部の端子101にフレキシブルプリント配線板(Flexible Printed Circuit: FPC)を接続する。FPCはポリイミドなどの有機樹脂フィルム129に銅配線128が形成されていて、異方性導電性接着剤で入力端子502と接続する。異方性導電性接

着剤は接着剤126と、その中に混入され金などがメッキされた数十〜数百 μ m径の導電性表面を有する粒子127により構成され、この粒子127が入力端子101と銅配線128とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層130を設ける。(図3(B))

【0072】図6はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板210上には画素部211が設けられ、画素部にはゲート配線208とソース配線207が交差して形成され、これに接続するnチャネル型TFT201が各画素に対応して設けられている。nチャネル型TFT201のドレイン側には画素電極119及び保持容量202が接続し、保持容量202のもう一方の端子は容量配線209に接続している。nチャネル型TFT201と保持容量202の構造は図3(A)で示すnチャネル型TFT201と保持容量202と同じものとする。

【0073】基板の一方の端子部には、走査信号を入力する入力端子部205が形成され、接続配線206によってゲート配線208に接続している。また、他の端子部には画像信号を入力する入力端子部203が形成され、接続配線204によってソース配線207に接続している。ゲート配線208、ソース配線207、容量配線209は画素密度に応じて複数本設けられるものであり、その本数は前述の如くである。また、画像信号を入力する入力端子部212と接続配線213を設け、入力端子部203と交互にソース配線と接続させても良い。入力端子部203、205、212はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0074】〔実施例2〕図7は液晶表示装置の実装方法の一例である。液晶表示装置は、TFTが作製された基板301の端子部には、入力端子部302が形成されこれは実施例1で示したようにゲート配線と同じ材料で形成される端子303で形成される。そして対向基板304とスペーサ306を内包するシール剤305により貼り合わされ、さらに偏光板307、308が設けられている。そして、スペーサ322によって筐体321に固定される。

【0075】なお、実施例1により得られる非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{ cm}^2/\text{Vsec}$ 程度しか得られていない。そのために、画像表示を行うための駆動回路はLSIチップで形成され、TAB (tape automated bonding) 方式やCOG (chip on glass) 方式で実装されている。本実施例では、LSIチップ313に駆動回路を形成し、TAB方式で実装する例を示す。これにはフレキシブルプリント配線板(Flexible Printed Circuit: FPC)が用いられ、FPCはポリイミドなどの有機樹脂フィルム309に銅配線310が形成されていて、異方性導電性接着剤で入力端子302と接続する。異方性導電性接着剤は

接着剤311と、その中に混入され金などがメッキされた数十～数百 μm 径の導電性表面を有する粒子312により構成され、この粒子312が入力端子302と銅配線310とに接触することにより、この部分で電気的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層318が設けられている。

【0076】LSIチップ313はパンプ314で銅配線310に接続し、樹脂材料315で封止されている。そして銅配線310は接続端子316でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板317に接続されている。そして、透過型の液晶表示装置では対向基板304に光源319と光導光体320が設けられてバックライトとして使用される。

【0077】〔実施例3〕実施例1では、絶縁膜、非晶質半導体膜、 n 型を付与する不純物元素を含む非晶質半導体膜、及び金属膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマCVD法を用いた例を示す。

【0078】本実施例では、絶縁膜、非晶質半導体膜、及び n 型を付与する不純物元素を含む非晶質半導体膜をプラズマCVD法で形成した。

【0079】本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により150nmの厚さで形成する。この時、プラズマCVD装置において、電源周波数13～70MHz、好ましくは27～60MHzで行えばよい。電源周波数27～60MHzを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0080】例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O_2 とを混合し、反応圧力4.0Pa、基板温度250～350℃とし、高周波(13.56MHz)電力密度0.5～0.8W/ cm^2 で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300～400℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0081】また、非晶質半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン($a\text{-Si:H}$)膜を100nmの厚さに形成する。この時、プラズマCVD装置において、電源周波数13～70MHz

z、好ましくは27～60MHzで行えばよい。電源周波数27～60MHzを使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ない $a\text{-Si}$ 膜となるため好ましい。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0082】また、上記絶縁膜及び上記非晶質半導体膜のプラズマCVD法による成膜において、100～100kHzのパルス変調放電を行えば、プラズマCVD法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

【0083】また、本実施例では、一導電型の不純物元素を含有する半導体膜として、 n 型を付与する不純物元素を含む非晶質半導体膜を20～80nmの厚さで形成する。例えば、 n 型の $a\text{-Si:H}$ 膜を形成すれば良く、そのためにシラン(SiH_4)に対して0.1～5%の濃度でフォスフィン(PH_3)を添加する。或いは、 n 型を付与する不純物元素を含む非晶質半導体膜106を水素化微結晶シリコン膜($\mu\text{c-Si:H}$)で形成しても良い。

【0084】これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマCVD装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで非晶質半導体膜への不純物の混入を防止することができる。

【0085】なお、本実施例は、実施例2と組み合わせることが可能である。

【0086】〔実施例4〕本実施例では、保護膜を形成した例を図6に示す。なお、本実施例は、実施例1の図2(D)の状態まで同一であるので異なる点について以下に説明する。また、図2(D)に対応する箇所は同一の符号を用いた。

【0087】まず、実施例1に従って図2(D)の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0088】次いで、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素TFT部においては絶縁膜401、端子部においては無機絶縁膜402をそれぞれ形成する。この無機絶縁膜401、402は、パッシベーション膜として機能する。また、端子部においては、第4のフォトリソグラフィ工程により薄い無機絶縁膜402と無機絶縁膜104を同時に除去して、端子部の端

子101を露呈させることができる。

【0089】こうして本実施例では、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用し、無機絶縁膜で保護された逆スタガ型のnチャンネル型TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。

【0090】なお、本実施例は、実施例1乃至3のいずれか一の構成と自由に組み合わせることが可能である。

【0091】〔実施例5〕実施例1では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では反射型の液晶表示装置に対応する例について示す。

【0092】まず、実施例1と同様にして、図2(B)に示す工程までを行う。そして、透明導電膜に代えて反射性を有する導電膜(A1、Ag等)を形成する。そして、実施例1と同様に、第3のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって反射性を有する導電膜からなる画素電極を形成する。画素電極は、電極118と重なるように形成する。

【0093】その後の工程は、実施例1と同様であるので省略する。こうして3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して反射型の液晶表示装置に対応したアクティブマトリクス基板を作製することができる。

【0094】また、本実施例は実施例4と組み合わせることが可能である。

【0095】〔実施例6〕本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0096】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図9、図10及び図11に示す。

【0097】図9(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号駆動回路に適用することができる。

【0098】図9(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作ス

イッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号駆動回路に適用することができる。

【0099】図9(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号駆動回路に適用できる。

【0100】図9(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の信号駆動回路に適用することができる。

【0101】図9(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号駆動回路に適用することができる。

【0102】図9(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号駆動回路に適用することができる。

【0103】図10(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0104】図10(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0105】なお、図10(C)は、図10(A)及び図10(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図10(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0106】また、図10(D)は、図10(C)中に

おける光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図10(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0107】ただし、図10に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0108】図11(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号駆動回路に適用することができる。

【0109】図11(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0110】図11(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0111】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～5のどのような組み合わせからなる構成を用いても実現することができる。

【0112】

【発明の効果】本発明により、3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えた液晶表示装置を実現することができる。

【0113】また、保護膜を形成した場合においては、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えた液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本願発明の上面図を示す図。

【図2】 AM-LCDの作製工程を示す断面図。

【図3】 AM-LCDの作製工程を示す断面図。

【図4】 AM-LCDの作製工程を示す上面図。

【図5】 AM-LCDの作製工程を示す上面図。

【図6】 液晶表示装置の画素部と入力端子部の配置を説明する上面図。

【図7】 液晶表示装置の実装構造を示す断面図。

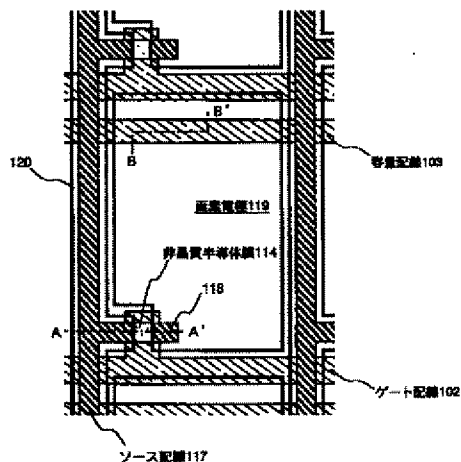
【図8】 AM-LCDの作製工程を示す断面図。

【図9】 電子機器の一例を示す図。

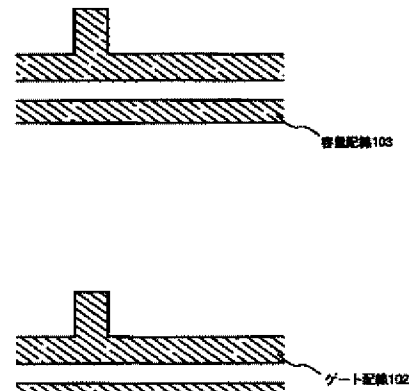
【図10】 電子機器の一例を示す図。

【図11】 電子機器の一例を示す図。

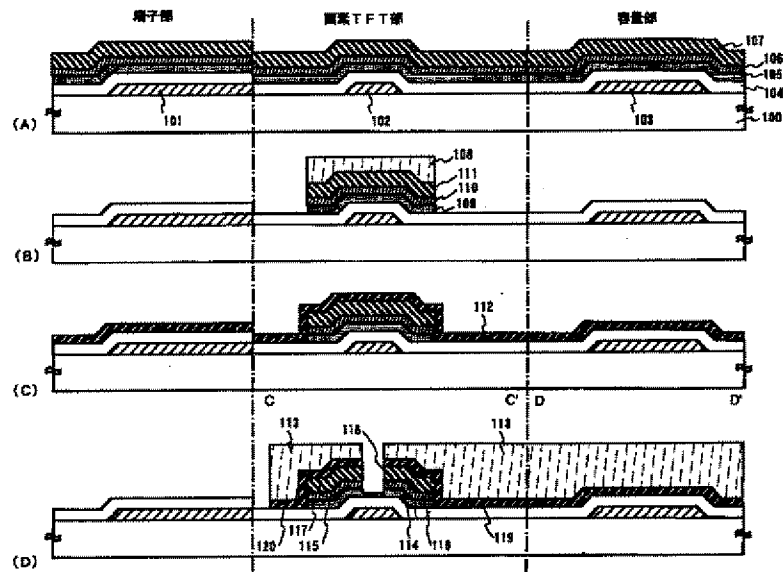
【図1】



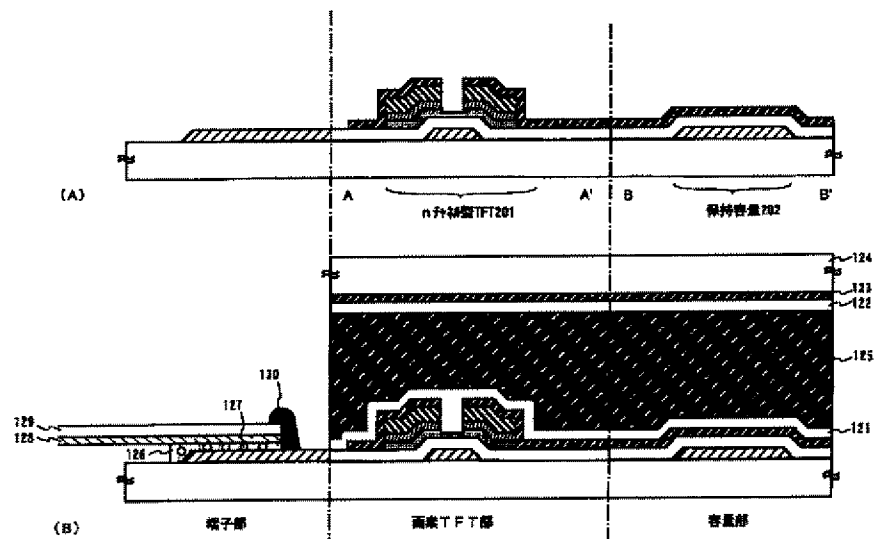
【図4】



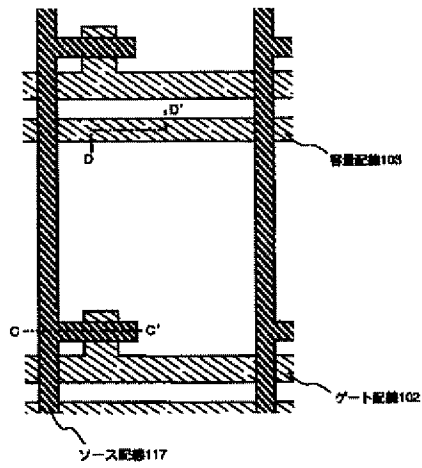
【圖2】



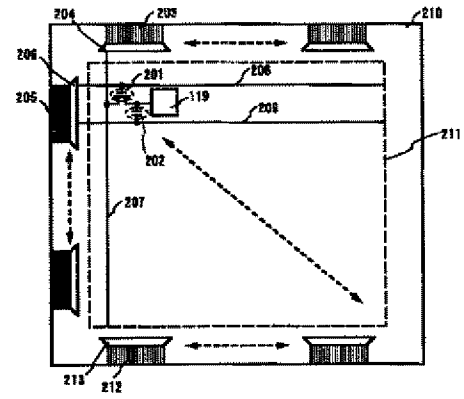
【圖3】



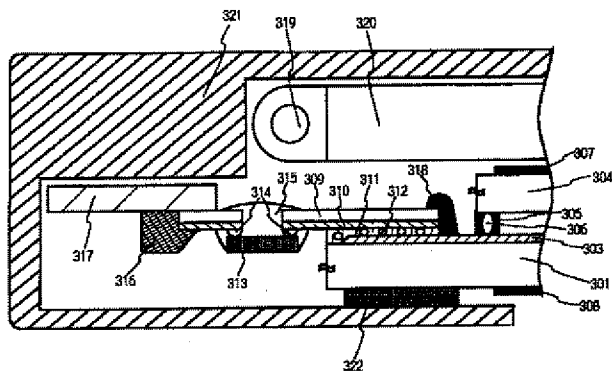
【図5】



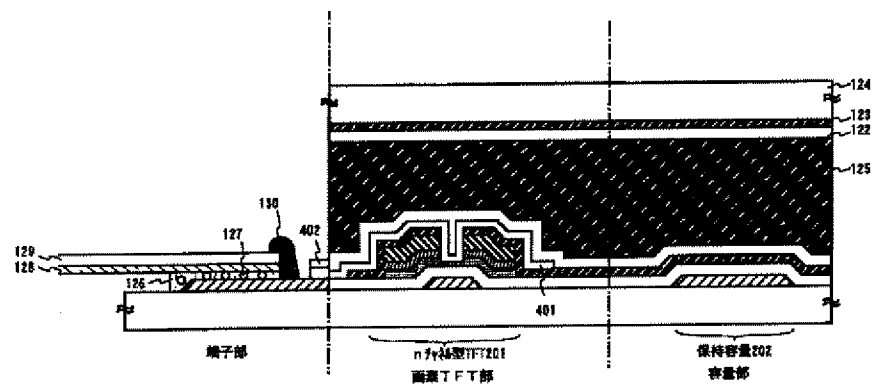
【図6】



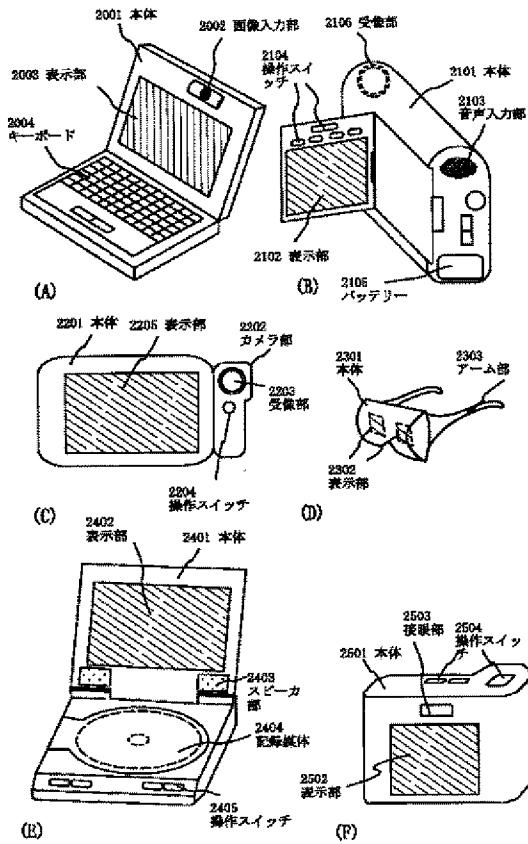
【図7】



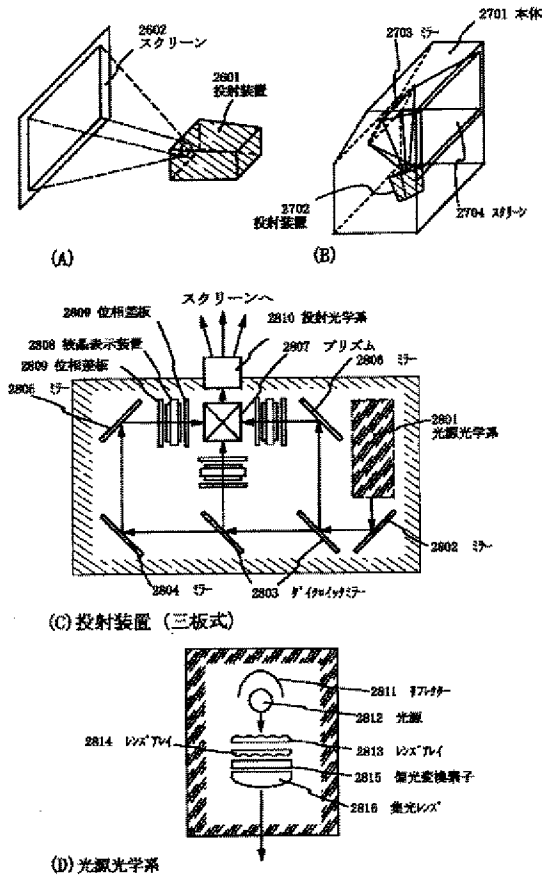
【図8】



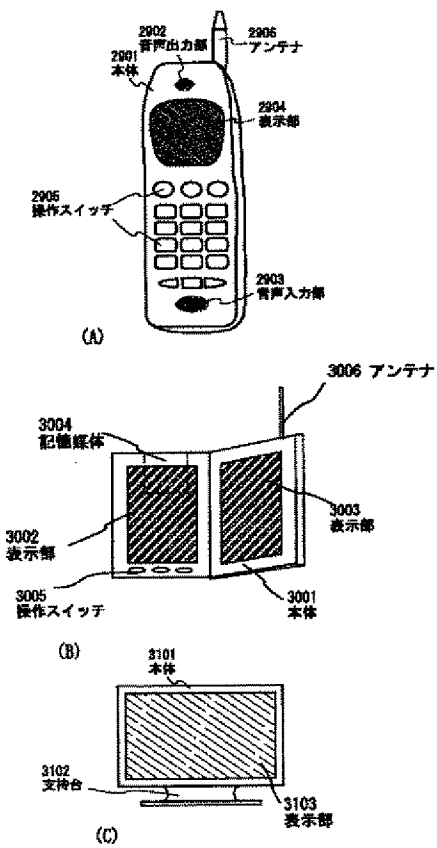
【図9】



【図10】



【図11】



フロントページの続き

F ターム (参考) 2H092 GA50 HA04 HA06 JA26 JB64
KA05 KA12 KA18 KB04 KB25
MA08 MA14 MA17 MA18 MA19
MA27 NA27 NA29 PA01 PA06
PA10 PA11 RA05
5C094 AA42 AA43 AA44 AA48 BA03
CA19 DA13 DB01 DB04 EA04
EB02 FA01 FB02 FB12 FB14
FB15 GB10
5F110 AA16 AA22 BB01 CC07 DD01
DD02 DD03 EE01 EE03 EE04
EE06 EE14 EE15 EE23 EE44
FF01 FF02 FF03 FF04 FF09
FF28 FF30 FF36 GG01 GG02
GG14 GG15 GG25 GG33 GG43
GG45 HK03 HK04 HK06 HK07
HK09 HK15 HK16 HK22 HK25
HK26 HK33 HK35 NN02 NN03
NN22 NN23 NN24 NN34 NN35
NN73 QQ09